

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-134970**
 (43)Date of publication of application : **07.06.1988**

(51)Int.CI. **G01R 31/28**
G06F 11/22

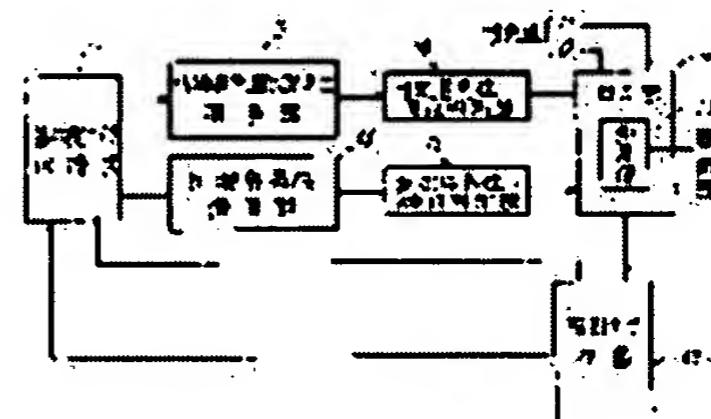
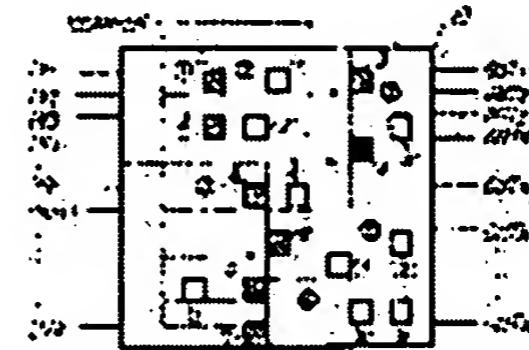
(21)Application number : **61-281538** (71)Applicant : **FUJITSU LTD**
 (22)Date of filing : **26.11.1986** (72)Inventor : **ISODA YUTAKA**

(54) OPTIMIZATION SCAN TESTING SYSTEM

(57)Abstract:

PURPOSE: To minimize the redundancy of the number of gates, and to execute an efficient test by inserting a write/read-out scanning circuit in accordance with the fault existence confirmation facility of a circuit, and the input facility of a confirming signal.

CONSTITUTION: Design data of an IC 10 consisting of a logic circuit group before inserting a scan latch is read from a fundamental data holding part 11, and the confirmation facility of existence of a fault in an input end and an output end of a circuit is calculated by a fault existence confirmation facility calculating part 12. Also, by a control facility calculating part 13, the setting facility of a signal to the input end for confirming a fault is calculated. Subsequently, their rank order is discriminated by rank order discriminating parts 14, 15, and in order from that which is inferior in confirmation facility, and that which is inferior in control facility, a write/read scanning circuit is inserted, and FFs 1W8 become scan FFs. In this state, a regular scan test and a non-scan test are executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭63-134970

⑫ Int.CI. 識別記号 庁内整理番号 ⑬ 公開 昭和63年(1988)6月7日
 G 01 R 31/28 360 G-6912-2G
 G 06 F 11/22 P-7368-5B
 審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 最適化スキャンテスト方式

⑮ 特願 昭61-281538
 ⑯ 出願 昭61(1986)11月26日

⑰ 発明者 磯田 豊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁護士 山谷 晴栄

明細書

1. 発明の名称 最適化スキャンテスト方式

2. 特許請求の範囲

(1) 組合せ回路および順序回路等により構成される論理回路群をテストするテスト方式において、回路の入力端と出力端の故障の有無を確認できる容易性を算出する故障有無確認容易性演算手段(12)と、確認するために必要な信号を各回路の入力端に入力できる制御容易性を算出する制御容易性演算手段(13)と、確認容易性の悪い配線のものよりその順位を付加する確認容易性順位別手段(14)と、制御容易性の悪い配線のものよりその順位を付加する制御容易性順位別手段(15)を具備し、論理回路群に対して確認容易性の悪いもの、制御容易性の悪いものを指示するようにしたことを特徴とする最適化スキャンテスト方式。

(2) 確認容易性の悪い配線から順に書き込み専用あるいは書き込み・読み出しスキャン回路を挿入するようにしたことを特徴とする特許請求の範囲第(1)項記載の最適化スキャンテスト方式。

(3) 確認容易性の悪い配線から順に書き出し専用あるいは書き込み・読み出しスキャン回路を挿入するようにしたことを特徴とする特許請求の範囲第(1)項記載の最適化スキャンテスト方式。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術(第4図)

発明が解決しようとする問題点

問題点を解決するための手段(第1図)

作用

実施例(第2図、第3図、第5図)

発明の効果

特開昭63-134970(2)

(概要)

半導体集積回路のテスト容易性評価方法によりデジタル回路の確認容易性と制御容易性とを定量的に計算し、その値の大きい方から順次スキャン回路を挿入するようにしたもの。

(産業上の利用分野)

本発明は最適化スキャンテスト方式に係り、特にLSIのような半導体集積回路において、少ないスキャン回路により効率的にテストを行うようにしたものに関する。

(従来の技術)

技術の進歩により半導体集積回路は高密度化されているが、それにともなって半導体集積回路が正確に製造されているか否かをテストするテストも難しくなっている。特にLSIやVLSI化されたデジタル回路ではこの傾向が著しい。

このような集積回路は、データを保持するフリップ・フロップ（以下FFという）と、例えば出

力端子OUT1…OUTnの特定の端子にどのようなパターンが階層されるのかをあらかじめ求めてしまい、これにもとづきテストを行うものである。

これはスキャンテストに比較してスキャン機能用の特別な回路を組む必要がないので、論理回路の冗長性がないという利点がある。しかし論理が複雑になるにつれて論理深度も深くなるため、深い部分にある順序回路つまりFFに一定の信号をセットするためには膨大な入力データを必要とし、そのためのテストデータの作成時間が膨大なものとなるのみならず、テストを行うための時間つまりテスト時間も長くなる。

（発明が解決しようとする問題点）

（i）非スキャンテスト

非スキャンテストは、第4図（a）に示す如く、集積回路20'に存在するすべてのFFをスキャン機能を付加したスキャンFFとする。ここでスキャン機能とは、例えば複数のFFが順序をもって並んでいたとしても特定のFFに直接「1」または「0」を記入できるようにしたものである。なお第4図（b）で斜線部分がスキャンFFを示

(i) 非スキャンテスト

非スキャンテストは、第4図（a）に示す如く、集積回路20'の入力端子IN1…INnの特定の端子にあるパターンのデータを入力したときに出

す。

この場合、スキャンFFを疑似入力／出力部として使用可能であり、そのため第4図（b）に示す如く、論理を①～④に分割可能となったり、テストデータは少なくて済みテスト時間も短くてよいという利点がある。しかし内部の順序回路のすべてのFFにスキャン機能を一律に付加するためテストのためのゲート数が増加して冗長となり、通常動作のスピードがおそくなるという問題点がある。

本発明の目的は、このような非スキャンテストおよびスキャンテストの前記問題点を解決したテスト方式を提供することである。

(問題点を解決するための手段)

前記目的を達成するために、本発明では、第1図に示す如く、集積回路10にスキャンFF1～8と、スキャン機能の付加されない通常のFF1'～9'を設ける。この場合、集積回路10を設計するとき、すべてのFFをスキャン機能の付加

特開昭63-134970(3)

されない通常の APPとして設計し、それからどこかの FFがテストを行うために必要なデータがセットにいくか、あるいは読み出しにいくかということを計算し、これらのやりにくいところから順次スキャン機能を付加したスキャン APPに変更していく。

(作用)

例えばスキャン APPに直接外部よりデータをセットすれば、通常の FF4'を経由して出力端子 OUT4より出力が得られる (FF4'から OUT4までの段数が少ない場合)。領域①のスキャン FF1、2は入力端子 IN1、IN3からセットしたデータを読み出すことが容易にできるものであり、領域②の通常の FF1、2'は前記スキャン FF1、2よりスキャンインしたデータを公 FF1、2より読み出すことが可能となる。また領域③では FF5'が入力ピンからスキャン PP6までの間に存在しているものであり、領域④のデータはスキャン PP5～8より読み出すことができる。

例えば、第5図(a)に示す如く、入力端子A、Bと出力端子Xを有する NAND・ゲートが正確に動作するか否かをテストする場合、次のように検査する。

NAND・ゲートの論理は、第5図(b)に示す通りであるので、もし入力端子Aが「0」端端の状態で故障していれば、入力端子Aに「1」を入れても「0」入力と同じ状態となる。従って第5図(b)に示す如く、入力端子Aに「1」を入力して入力端子Bを「0」、「1」にしたとき、出力端子Xに「1」、「1」が出力されれば入力端子Aが常時「0」にあるという故障状態が検出できる。このようなことを各端子に適用してどのような故障が存在しているかを判別する。

ところでこの場合、入力端子A及びBに「1」、「0」を選択入力することが必要になり、また出力端子Xからデータを読み出すことが必要となるが、その場合、その前段に接続されている池の回路との接続回路により入力端子A、Bに「1」、「0」を選択的に入力するため、例えば第4図

きる。そしてスキャン APPのデータは通常の APP'を経由して、例えばスキャン APPより読み出すこともできる。領域④ではスキャン APP8に入力したデータを FF6'、7'を介して出力端子 OUTn+1より読み出すことができ、また領域③ではスキャン APP6、7に入力したデータの状態に応じた出力が FF8'、9'経由して出力端子 OUTkより読み出すことができる。

なお、テストデータは領域①～④の単位で作られており、入力データに応じた出力があらかじめ決定されている。

このように、テスト上難度の大きいものに対してのみスキャン APPとするので、スキャンテストのための附加ゲート数を最小限にとどめ、効率的なテストが可能となる。

(実施例)

(1) テスト説明

本発明を詳述するに先立ち、論理回路のテストの説明を行う。

(b)に示す集積回路20'の入力端子 IN1、IN2～INKにどのような入力データを入力すべきかということを決定することが必要となり、また出力端子Xからのデータを測定するために出力端子 OUT1、OUT2～OUTkのどれより得ることができるのかを決定することが必要となる。

このように、特定の回路における入力データの設定割合の容易性および出力データの測定の容易性は、通常集積回路20'の入力端子からデータを設定すべき回路の入力端における中間の状態、あるいは回路の出力端から集積回路20'の出力端子における中間の状態により算出することができる。

この算出方法のうち割合容易性は、入力端から注目する配線部にいたる節点の数により算定したり、又は注目する配線部に注目する信号が現れるまでに回路がどれだけの状態を経るかということを計算して行うものである。

また接続容易性は、組合せの算出容易性は注

特開昭63-134970(4)

目する配線部の状態が観測点にいたるまでの節点の数により判定を行ったり、柱目する配線部の状態が観測点にいたるまでに回路がどれだけの状態を経るかということを計算して行うことができる。

なおこれらの算出方法は現在完成されている公知の手法（例えば日経エレクトロニクス 1983年8月20日号、第151頁～第162頁参照）である。

本発明は、このような同様の手法を使用して、累積回路に付加すべきスキヤン機能をできるだけ少なくするようにしたものである。

以下本発明の一実施例を第2図および第3図にもとづき説明する。

第2図は本発明の一実施例構成図であり、第3図は本発明により選択的に挿入されるスキヤンラッチの例を示す。

第2図において、11は基本データ保持部であり、スキヤンラッチの挿入される前の、例えばアンドゲートやナンドゲート、オアゲート等の組合せ回路やFD等の順序回路等で構成される論理回

路群からなる累積回路の設計データを保持するもの、12は故障有無確認容易性演算部（以下制御容易性演算部という）であって各回路の入力端あるいは出力端の故障の有無を確認できる機能つまり確認容易性を解析してそれを定量的に算出するもの、13は制御容易性演算部であって各回路の入力端に所定の信号を入力できる容易性つまり制御容易性を定量的に算出するもの、14は確認容易性順位判別部であって故障有無確認容易性演算部12により算出された確認容易性をその順位に順位づけて出力するもの、15は制御容易性順位判別部であって制御容易性演算部13により算出された制御容易性をその順位に順位づけて出力するもの、16は出力部であって前記確認容易性及び制御容易性の順位からの順序をあらかじめ設定された数（P及びQ、P=Qの場合もある）だけ出力するとともに判定部17を具備し、この判定部17で前記各容易性を図示各略した表示部に出力し例えば設計者がその容易性が希望する値以下になったことを観測させるものである。

判定部17にあらかじめ閾値を設定し、各容易性がそれぞれの予定した値以上のときにランプ等で表示させることもできる。18は設計データ作成保持部であって出力部16から出力された確認容易性の悪いラッチの部分を第3図（b）に示す如きラッチを挿入したり制御容易性の悪いラッチの部分に第3図（a）に示す如きラッチを挿入したり、両方の悪い部分には第3図（c）に示す如きラッチを挿入し、かつこの画面を保持し、出力するものである。

このように各ラッチを挿入したものを基本設計データ保持部11にフィードバックし、この挿入結果による各容易性を判断する。このようなことを各容易性があらかじめ予定した数値以下になるまで繰返し、予定値以下になったときに得られた画面を基本設計データ保持部11より得ることができる。

また、第3図により、本発明において使用するスキヤンラッチの例について説明する。

第3図（a）は制御容易性のみが悪いところに

使用する書き込み専用スキヤンラッチを示し、同（b）は確認容易性のみが悪いところに使用する読み出し専用スキヤンラッチを示し、同（c）は制御容易性及び確認容易性が悪いところに使用する書き込み・読み出しスキヤンラッチを示す。

第3図においてS₀～S₅はスイッチであって、スイッチS₀は通常動作のときに入力されるデータをオンオフ制御するもの、スイッチS₁はスキヤンデータを外からセットするときに入力されるデータをオンオフ制御するもの、スイッチS₂はスキヤン動作における読み出しのときに統出し端子へのデータをオンオフ制御するものである。

スイッチS₀、S₁、S₂は制御信号SMおよびSMにより制御され、またスイッチS₃、S₄、S₅は制御信号SCKおよびSCKにより制御される。制御信号SM、SMはインバータIN10、IN11により得られ、制御信号SCK、SCKはインバータIN12、IN13により得られる。

またIN0～IN9はインバータである。

特開昭63-134970(5)

次に第3図(a)～(c)について通常のデータを出力する動作とスキヤン動作について説明する。

第3図(a)の書き込み専用スキヤンラッチは、通常動作の場合、スイッチS₁をオンとし、S₂をオフ、S₃をオンとする。したがって、システムから入力される入力信号D_{in}はインバータIN2で反転され、さらにインバータIN0で反転される結果、入力信号D_{in}が出力信号D_{out}として出力される。なお、このときスイッチS₁がオンのため、入力信号D_{in}はインバータIN2、IN3により反転され、しかもIN2-IN3-S₁-IN2のルートで巡回するためラッチされたものとなる。

テスト時のスキヤンデータS₁を書き込む場合、スイッチS₁をオフとし、S₂がオンのときS₃はオフ、S₁がオフのときS₃はオンとなる。従ってスキヤンデータS₁を書き込むとき、スイッチS₁がオフのときS₃はオフのためスキヤンデータS₁はインバータIN2、IN0を経由し

により、入力信号D_{in}が出力信号D_{out}として出力される。このときスイッチS₁、S₂がオンのため前記の場合と同様に入力信号D_{in}はIN2-IN3-S₁-S₃-IN2のルートで巡回されるため、ラッチされたものとなる。

テスト時のスキヤンデータS₁を書き込むとき、スイッチS₁オフ、S₂をオン、S₃をオフとし、S₁、S₂をオンにする。これによりスイッチS₁を経由して入力されたスキヤンデータS₁は、IN2-IN3-S₁-S₂-IN2のルートで巡回保持される。またこのようにして書き込まれたスキヤンデータS₁を読み出すとき、スイッチS₁、S₂をオフ、S₁、S₂、S₃をオンとする。これにより前記の如く巡回保持されているスキヤンデータS₁は保持状態を保ちながらインバータIN1より出力信号S_{out}として出力される。このときスキヤンデータS₁はインバータIN2、IN1により反転されるので、S₁の状態で出力されることになる。

なおこれらS₁～S₃をオン・オフ制御する制

て出力される。そしてスイッチS₁をオフのときS₁をオンにするので、スキヤンデータS₁はIN2-IN3-S₁-IN2のルートで巡回するためラッチされたものとなる。

第3図(b)の読み出し専用スキヤンラッチは、通常動作の場合、スイッチS₁をオンとし、S₂をオン、S₃をオフとする。これにより入力信号D_{in}はインバータIN2、IN0により反転され、入力信号D_{in}が出力信号D_{out}として出力される。なお、前記第3図(a)と同様に入力信号D_{in}はIN2-IN3-S₁-IN2のルートで巡回されるためラッチされたものとなる。テスト時のスキヤン読み出しのとき、スイッチS₁をオフにしS₂、S₃をオンにすれば前記回路でラッチされたデータがインバータIN1を経由して読み出される。

第3図(c)の書き込み・読み出しスキヤンラッチは、通常動作の場合、スイッチS₁をオン、S₂、S₃をオフ、S₁、S₂をオンとする。これにより入力信号D_{in}はインバータIN2、IN0

出信号SM、SM、SCK、SCKは、インバータIN1～IN19により得られるが、これらの制御信号回路は個別に設ける必要はなく、共通に使用できる。

このようにして制御容易性の悪いラッチは第3図(a)の如く書き込み専用スキヤンラッチに構成することができ、確認容易性の悪いところは第3図(b)の如く読み出し専用スキヤンラッチに構成することができ、制御容易性も確認容易性も悪いところは第3図(c)の如く書き込み・読み出しスキヤンラッチに構成することができる。

(発明の効果)

本発明では必要な部分のみスキヤンラッチを挿入することができるので、ゲート数の冗長を最小限度にするとともにレイアウトの増加も最小限度に抑制できる。また小ブロック内についてもテストピッティが確保されているので、LSIの外部入力端子、外部出力端子とスキヤンラッチの組合せでテスト可能である。しかもテストデータの作成

特開昭63-134970(8)

時間やテスト時間は第4図(a)に示すスキヤン回路に比較し短縮することができ、効率的なテストが可能となる。

17…判定部
18…設計データ作成部

4. 図面の簡単な説明

第1図は本発明の原理図。

第2図は本発明の一実施例。

第3図は本発明で使用するスキヤンラッヂの例。

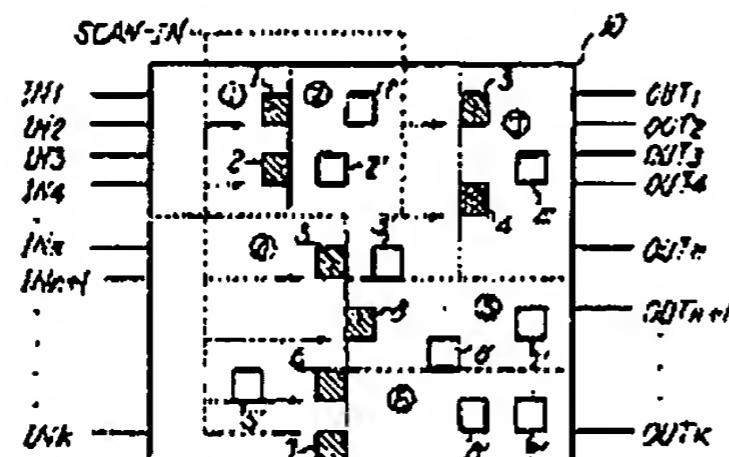
第4図は従来例説明図。

第5図はテストの説明図である。

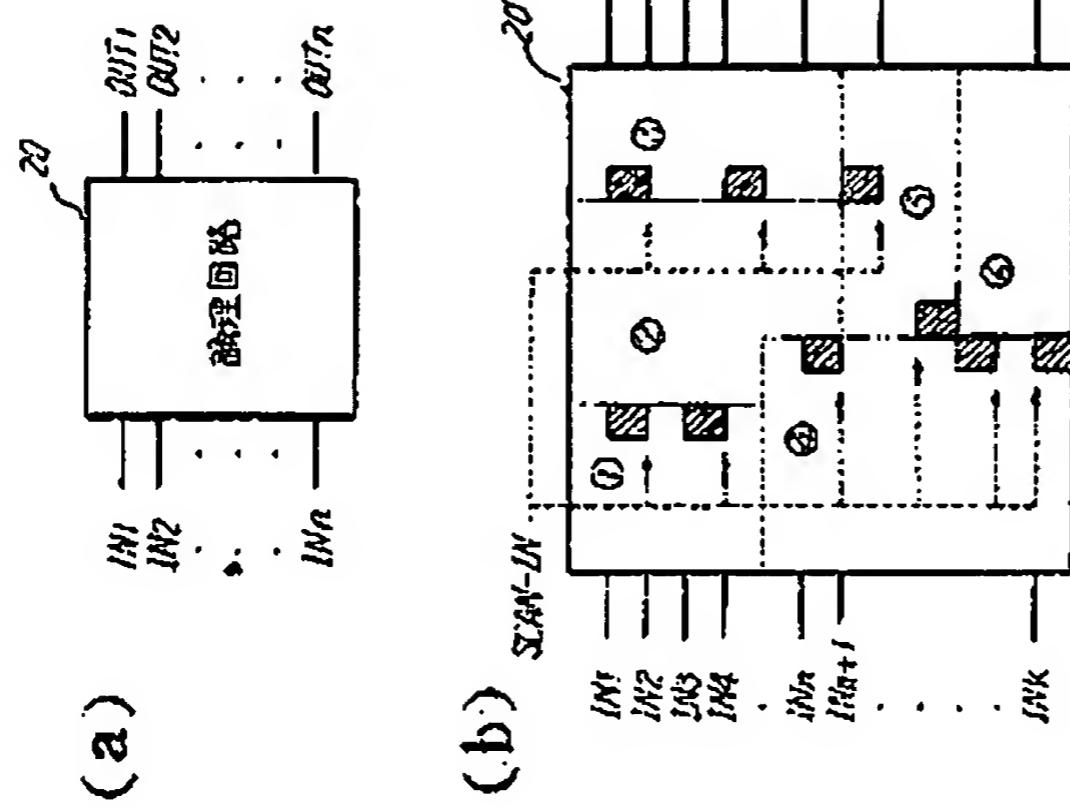
特許出願人 葛士通株式会社
代理人弁理士 山谷晴景

1、2、3、4、5、6、7、8…スキヤンRF
1'、2'、3'、4'、5'、6'、7'、8'
'、9'…通常のRF

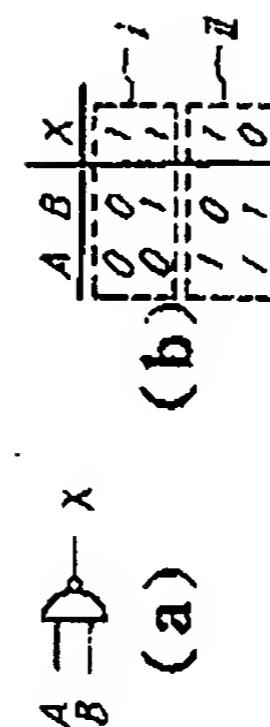
11…基本設計データ保持部
12…故障者無難易性演算部
13…制御容易性演算部
14…確認容易性順位判別部
15…制御容易性順位判別部
16…出力部



特許昭63-134970(7)



第4図



第5図